

Docket No.: 57454-278

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Akira OHTA, et al.

Serial No.:

Group Art Unit:

Filed: November 15, 2001

Examiner:

For: HIGH-FREQUENCY AMPLIFIER AND RADIO TRANSMISSION DEVICE WITH
CIRCUIT SCALE AND CURRENT CONSUMPTION REDUCED TO ACHIEVE HIGH
EFFICIENCY



**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
Washington, DC 20231

Sir:

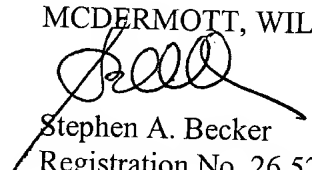
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application Number 2001-173966, Filed June 8, 2001

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker

Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:kjw
Date: November 15, 2001
Facsimile: (202) 756-8087

日本国特許
JAPAN PATENT OFFICE

57454-278#3
AKIRA OTTA et al
November 15 2001
J. M. J. 2-801
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 6月 8日

出願番号

Application Number:

特願2001-173966

出願人

Applicant(s):

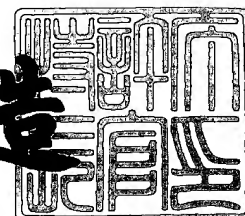
三菱電機株式会社



2001年 6月20日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3058248

【書類名】 特許願

【整理番号】 531493JP01

【提出日】 平成13年 6月 8日

【あて先】 特許庁長官殿

【国際特許分類】 H04B 1/00

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 太田 彰

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 井上 晃

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091409

【弁理士】

【氏名又は名称】 伊藤 英彦

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100096792

【弁理士】

【氏名又は名称】 森下 八郎

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 高周波増幅器およびそれを用いた無線送信装置

【特許請求の範囲】

【請求項 1】 入力インピーダンスが出力インピーダンスよりも低い非可逆回路素子と接続可能な高周波増幅器であって、

基板と、

前記基板上に設けられ、入力信号を受けて増幅するための増幅素子と、

前記基板上に設けられ、前記増幅素子の出力信号に含まれる高調波に対する整合をとるための高調波処理回路と、

前記基板上に設けられ、前記高調波処理回路の出力を受けて、前記非可逆回路素子に与えるための信号を所定の周波数をカットオフ周波数として選択的に透過させるフィルタ素子とを備える、高周波増幅器。

【請求項 2】 前記フィルタ素子は、

前記高調波処理回路の出力から前記非可逆回路素子に至る信号線路上に配置されるインダクタと、

前記信号線路上であって、かつ前記インダクタの入力側の第 1 のノードと接地との間に配置される第 1 のキャパシタと、

前記信号線路上であって、かつ前記インダクタの出力側の第 2 のノードと前記接地との間に配置される第 2 のキャパシタとを備える、請求項 1 記載の高周波増幅器。

【請求項 3】 前記非可逆回路素子の出力インピーダンスは、実質的に 50 オームであって、

前記高周波増幅器の出力インピーダンスおよび前記非可逆回路素子の入力インピーダンスは、実質的に 3 オーム～30 オームの範囲である、請求項 1 または 2 に記載の高周波増幅器。

【請求項 4】 前記基板には、前記基板の表面側から前記接地電極と接続するための第 1 および第 2 のビアホールが形成され、

前記基板の背面に設けられる接地電極をさらに備え、

前記フィルタ素子は、

前記基板表面上に設けられ、前記高調波処理回路の出力から前記非可逆回路素子に至る第 1 の信号線路と、

前記第 1 の信号線路上に配置されるインダクタと、

前記第 1 の信号線路上であって、前記インダクタの入力側の第 1 のノードから、前記第 1 のビアホールを介して前記接地電極に至る第 2 の信号線路と、

前記基板表面上の前記第 2 の信号線路中に設けられる第 1 のキャパシタと、

前記第 1 の信号線路上であって、前記インダクタの出力側の第 2 のノードから、前記第 2 のビアホールを介して前記接地電極に至る第 3 の信号線路と、

前記基板表面上の前記第 3 の信号線路中に設けられる第 2 のキャパシタとを備える、請求項 1 記載の高周波増幅器。

【請求項 5】 前記増幅素子の増幅する基本波の周波数を f_0 とし、前記所定の周波数を f_c とするとき、前記所定の周波数 f_c は、 $f_0 < f_c < 2f_0$ なる関係を満たす、請求項 1 記載の高周波増幅器。

【請求項 6】 高周波信号を送出するための無線送信装置であって、
入力信号を受けて増幅するための増幅素子と、

前記増幅素子が配置される基板と、

前記基板上に設けられ、前記増幅素子の出力信号に含まれる高調波に対する整合をとるための高調波処理回路と、

少なくとも一部が前記基板上に設けられ、前記高調波処理回路の出力を受けて、所定の周波数をカットオフ周波数として選択的に透過させるフィルタ素子と、
前記フィルタ素子の出力を伝送するための第 1 の伝送線路と、

前記伝送線路からの信号を受け、前記伝送線路からの信号伝送方向に非可逆的に信号を伝達し、入力インピーダンスが出力インピーダンスよりも低い非可逆回路素子とを備える、無線送信装置。

【請求項 7】 前記フィルタ素子は、

前記基板上に設けられ、前記高調波処理回路の出力から前記第 1 の伝送線路に至る信号線路上に配置されるインダクタと、

前記基板上に設けられ、前記信号線路上であって、かつ前記インダクタの入力側の第 1 のノードと接地との間に配置される第 1 のキャパシタと、

前記基板上に設けられ、前記信号線路上であって、かつ前記インダクタの出力側の第2のノードと前記接地との間に配置される第2のキャパシタとを備える、請求項6記載の無線送信装置。

【請求項8】 前記フィルタ素子は、

前記基板上に設けられ、前記高調波処理回路の出力から前記第1の伝送線路に至る信号線路上の第1のノードと接地との間に配置される第1のキャパシタと、

前記基板の外に設けられ、前記信号線路のうち前記第1のノードから前記第1の伝送線路に至る信号線路上に配置されるインダクタと、

前記基板の外に設けられ、前記信号線路上であって、かつ前記インダクタの出力側の第2のノードと前記接地との間に配置される第2のキャパシタとを備える、請求項6記載の無線送信装置。

【請求項9】 前記フィルタ素子は、

前記基板上に設けられ、前記高調波処理回路の出力から前記第1の伝送線路に至る信号線路上の第1のノードと接地との間に配置される第1のキャパシタと、

前記基板の外に設けられ、前記信号線路のうち前記第1のノードから前記第1の伝送線路に至る信号線路上に配置される第2の伝送線路と、

前記基板の外に設けられ、前記信号線路上であって、かつ前記第2の伝送線路の出力側の第2のノードと前記接地との間に配置される第2のキャパシタとを備える、請求項6記載の無線送信装置。

【請求項10】 前記非可逆回路素子の出力インピーダンスは、実質的に50オームであって、

前記非可逆回路素子の入力インピーダンスは、実質的に3オーム～30オームの範囲である、請求項6から9のいずれか1項に記載の無線送信装置。

【請求項11】 前記基板には、前記基板の表面側から前記接地電極と接続するための第1および第2のビアホールが形成され、

前記基板の背面に設けられる接地電極をさらに備え、

前記フィルタ素子は、

前記基板表面上に設けられ、前記高調波処理回路の出力から前記非可逆回路素子に至る第1の信号線路と、

前記第 1 の信号線路上に配置されるインダクタと、

前記第 1 の信号線路上であって、前記インダクタの入力側の第 1 のノードから、前記第 1 のビアホールを介して前記接地電極に至る第 2 の信号線路と、

前記基板表面上の前記第 2 の信号線路中に設けられる第 1 のキャパシタと、

前記第 1 の信号線路上であって、前記インダクタの出力側の第 2 のノードから、前記第 2 のビアホールを介して前記接地電極に至る第 3 の信号線路と、

前記基板表面上の前記第 3 の信号線路中に設けられる第 2 のキャパシタとを備える、請求項 6 記載の無線送信装置。

【請求項 1 2】 前記増幅素子の増幅する基本波の周波数を f_0 とし、前記所定の周波数を f_c とするとき、前記所定の周波数 f_c は、 $f_0 < f_c < 2f_0$ なる関係を満たす、請求項 6 から 11 のいずれか 1 項に記載の無線送信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電界効果型トランジスタ（以下、FET: Field Effect Transistor）等の高周波トランジスタを用いた高周波半導体増幅器およびそれを用いた無線送信装置の構成に関し、特に、移動通信用機器その他マイクロ波対通信機器に用いられる高周波増幅器およびこれを用いた無線送信装置の構成に関する。

【0002】

【従来の技術】

携帯端末機等の無線送信部は、FET等の高周波トランジスタを半導体基板上に形成したチップを、絶縁体の基板上にアセンブリすることで構成されている。

【0003】

図 15 は、このような従来の携帯端末機に用いられる無線送信部 9000 の構成を説明するための概略ブロック図である。

【0004】

図 15 において、無線送信部 9000 は、高効率動作可能な高周波増幅器（以下、「高効率増幅器」と呼ぶ）1010 と、非可逆回路素子 1030 と、高効率増幅器 1010 と非可逆回路素子 1030 とを接続する伝送線路 1020 とを備

える。

【0005】

なお、高効率増幅器1010は、入力端子10と出力端子20とを有するパワーアンプモジュール100内にアセンブリされる。入力端子10は、所定の変調処理がなされ、送信のための高周波にアップコンバートされた送信信号が入力される。また、非可逆回路素子1030の出力は、最終的には、アンテナ（図示せず）に与えられる。

【0006】

上述したとおり、高効率増幅器1010は、セラミックスあるいは樹脂などの絶縁体上にマイクロストリップ線路などの金属導波線路（伝送路）を設けた基板上に形成される。すなわち、モジュール100の入力端子10から出力端子20までの間において、高効率増幅器1010は、順に、入力整合回路104、1段目アンプ105のチップ、段間整合回路106、2段目アンプ107のチップ、出力整合回路1080の各々を、基板上に予め形成された金属導波線路に接続するようにアセンブリすることで形成される。これらのうち、受動素子である入力整合回路104、段間整合回路106および出力整合回路108については、予め金属導波線路と同様に基板上に金属層により作りこんでおき、アセンブリ段階で、ワイヤーの接続を変更するなどして微調整する構成としてもよい。

【0007】

出力整合回路1080は、高調波処理回路111と、基本波整合回路114とを含む。高調波処理回路111は、高調波を処理する回路であって、高調波に対するインピーダンス整合を行なう。基本波整合回路114は、基本波のインピーダンス整合を行なう。

【0008】

非可逆回路素子1030は、たとえば、アイソレータ130を備える。非可逆回路素子1030の出力端子40は、移動体通信機器などのアンテナ側に接続されることになる。移動体通信機器などでは、非可逆回路素子1030により、アンテナの状態にかかわらず増幅器を効率よく動作させることが可能となる。

【0009】

以下、非可逆回路素子の一例として、アイソレータを用いる場合について説明する。

【0010】

非可逆回路素子1030は、伝送線路1020と接続される入力整合回路120と、入力整合回路120と出力端子40との間に接続されるアイソレータ本体130とを含む。

【0011】

高効率増幅器1010の出力インピーダンスおよびアイソレータ1030の入出力インピーダンスは50Ωである。これは、従来から高周波機器の標準的に用いられる伝送線路の特性インピーダンスが50オーム（以下、オームをΩと記す）終端で構成されているためである。一方、2段目アンプ107の出力インピーダンスは1～10Ωである。このため、基本波整合回路114は、2段目アンプ107の出力インピーダンス（1～10Ω）を50Ωに変換する変換回路で構成されている。

【0012】

入力端子10から入力した信号は、高効率増幅器1010で増幅される。増幅された信号は、特性インピーダンスが50Ωの伝送線路1020、アイソレータ1030を通過してアンテナ側に出力される。アイソレータ1030以降で発生する反射波は、アイソレータ1030により遮断される。したがって、反射波は高効率増幅器1010に戻ることがないため、高効率増幅器1010は高効率動作を保持したまま安定動作を行なうことが可能になる。

【0013】

【発明が解決しようとする課題】

ところで、携帯端末は近年小型化および軽量化が一層進んでおり、この小型化および軽量化が端末開発の重要な要素となっている。小型化、軽量化に最も貢献するのが電池の小型化である。これを一定の通話時間を満たしながら実現するには、携帯端末の消費電力の大きな割合を占める増幅器の動作効率を高めることで、その消費電力を低減することが重要である。

【0014】

しかしながら、上述した無線送信部9000の構成では、基本波整合回路114における損失が大きく、増幅器の高効率化が困難となっている。

【0015】

このような問題点に対する効率改善のための従来例として、「非可逆回路素子および複合電子部分（特開平10-327003号公報）」には、高効率増幅器の出力インピーダンス、非可逆回路素子（アイソレータ）の入力インピーダンスおよび高効率増幅器と非可逆回路素子とを接続する線路の特性インピーダンス Z を、 $2\Omega < Z < 12.5\Omega$ にする構成が開示されている。

【0016】

図16は、上記文献に開示されている低インピーダンスアイソレータを用いた無線送信部9200の構成例を示すブロック図である。

【0017】

図16を参照して、無線送信部9200は、低インピーダンス高効率増幅器101と、低インピーダンス伝送線路102と、低インピーダンスアイソレータ103とで構成される。

【0018】

低インピーダンス高効率増幅器101の出力インピーダンスは、上述した従来の標準的な伝送線路の特性インピーダンス 50Ω よりも低く、かつ、低インピーダンスアイソレータ103の入力インピーダンスも 50Ω よりも低い値となっている。これに対し、アイソレータ103の出力インピーダンスは標準的な特性インピーダンス 50Ω となるように設計されている。

【0019】

図16に示した構成では、高効率増幅器101の出力インピーダンスは、たとえば、 $1\Omega \sim 10\Omega$ （2段目アンプ107の出力インピーダンスに相当する）になる。アイソレータ103における入力整合回路111は、低インピーダンスアイソレータの入力インピーダンスを高効率増幅器101の出力インピーダンスに合わせるように調整される。

【0020】

図16に示された構成では、高効率増幅器101において、基本波整合回路を

省略することができる。したがって、出力整合回路で発生する損失を抑制することができ、高効率増幅器 101 とアイソレータ 103 とを含めた構成全体として消費電力を小さくすることができる。

【0021】

低インピーダンスアイソレータ 103 の入力整合回路 111 には、いわゆる C-L-C π 型ローパスフィルタ 113 が設けられている。

【0022】

このローパスフィルタ 113 により低インピーダンス高効率増幅器 101 から出力される高調波成分が除去される。

【0023】

しかしながら、図 16 に示した構成では、以下のような問題点がある。

つまり、パワーアンプモジュールである高効率増幅器 101 と低インピーダンスアイソレータ 103 との間には、低インピーダンス伝送線路 102 が存在する。

【0024】

図 16 に示したような構成では、低インピーダンスアイソレータ 103 の入力インピーダンスは、周波数帯域内で変化している。

【0025】

たとえば、帯域内の最も低い周波数 f_l は、そのインピーダンス値は 10Ω であり、高い周波数 f_h では 11Ω に変化するものとする。

【0026】

この場合、伝送線路 102 のインダクタ値が L であるものと仮定すると、高効率増幅器 101 の出力端においてアイソレータ側を見たときのインピーダンスは、周波数 f_l は、 $(10 + j2\pi f_l L)\Omega$ (j : 虚数単位) であり、周波数 f_h では、 $(11 + j2\pi f_h L)\Omega$ となる。このとき、帯域内でのインピーダンスの変化量は、以下の式 (1) で表現される。

【0027】

【数 1】

$$\sqrt{[1+2\pi L(f_l-f_h)^2]} \quad \dots(1)$$

【0028】

したがって、帯域内でのインピーダンスの変化量は、インダクタ値 L が大きくなるとともに大きくなってしまふ。この結果、インピーダンスの変化量が増幅器101の出力インピーダンスに比べて比較的大きいために、高効率増幅器101の増幅効率といった特性が劣化するという問題点があった。

【0029】

本発明では、上記のような問題点を解決するために、回路規模の増大を抑制しつつ、特性劣化を防止して、消費電流の低い高効率な高周波増幅器およびこれを用いた無線送信装置を提供することを目的とする。

【0030】

【課題を解決するための手段】

請求項1記載の高周波増幅器は、入力インピーダンスが出力インピーダンスよりも低い非可逆回路素子と接続可能な高周波増幅器であって、基板と、基板上に設けられ、入力信号を受けて増幅するための増幅素子と、基板上に設けられ、増幅素子の出力信号に含まれる高調波に対する整合をとるための高調波処理回路と、基板上に設けられ、高調波処理回路の出力を受けて、非可逆回路素子に与えるための信号を所定の周波数をカットオフ周波数として選択的に透過させるフィルタ素子とを備える。

【0031】

請求項2記載の高周波増幅器は、請求項1記載の高周波増幅器の構成に加えて、フィルタ素子は、高調波処理回路の出力から非可逆回路素子に至る信号線路上に配置されるインダクタと、信号線路上であって、かつインダクタの入力側の第1のノードと接地との間に配置される第1のキャパシタと、信号線路上であって、かつインダクタの出力側の第2のノードと接地との間に配置される第2のキャパシタとを備える。

【0032】

請求項3記載の高周波増幅器は、請求項1または2記載の高周波増幅器の構成に加えて、非可逆回路素子の出力インピーダンスは、実質的に50オームであって、高周波増幅器の出力インピーダンスおよび非可逆回路素子の入力インピーダンスは、実質的に3オーム～30オームの範囲である。

【0033】

請求項4記載の高周波増幅器は、請求項1記載の高周波増幅器の構成に加えて、基板には、基板の表面側から接地電極と接続するための第1および第2のビアホールが形成され、基板の背面に設けられる接地電極をさらに備え、フィルタ素子は、基板表面上に設けられ、高調波処理回路の出力から非可逆回路素子に至る第1の信号線路と、第1の信号線路上に配置されるインダクタと、第1の信号線路上であって、インダクタの入力側の第1のノードから、第1のビアホールを介して接地電極に至る第2の信号線路と、基板表面上の第2の信号線路中に設けられる第1のキャパシタと、第1の信号線路上であって、インダクタの出力側の第2のノードから、第2のビアホールを介して接地電極に至る第3の信号線路と、基板表面上の第3の信号線路中に設けられる第2のキャパシタとを備える。

【0034】

請求項5記載の高周波増幅器は、請求項1記載の高周波増幅器の構成に加えて、増幅素子の増幅する基本波の周波数を f_0 とし、所定の周波数を f_c とすると、所定の周波数 f_c は、 $f_0 < f_c < 2f_0$ なる関係を満たす。

【0035】

請求項6記載の無線送信装置は、高周波信号を送出するための無線送信装置であって、入力信号を受けて増幅するための増幅素子と、増幅素子が配置される基板と、基板上に設けられ、増幅素子の出力信号に含まれる高調波に対する整合をとるための高調波処理回路と、少なくとも一部が基板上に設けられ、高調波処理回路の出力を受けて、所定の周波数をカットオフ周波数として選択的に透過させるフィルタ素子と、フィルタ素子の出力を伝送するための第1の伝送線路と、伝送線路からの信号を受け、伝送線路からの信号伝送方向に非可逆的に信号を伝達し、入力インピーダンスが出力インピーダンスよりも低い非可逆回路素子とを備

える。

【 0 0 3 6 】

請求項 7 記載の無線送信装置は、請求項 6 記載の無線送信装置の構成に加えて、フィルタ素子は、基板上に設けられ、高調波処理回路の出力から第 1 の伝送線路に至る信号線路上に配置されるインダクタと、基板上に設けられ、信号線路上であって、かつインダクタの入力側の第 1 のノードと接地との間に配置される第 1 のキャパシタと、基板上に設けられ、信号線路上であって、かつインダクタの出力側の第 2 のノードと接地との間に配置される第 2 のキャパシタとを備える。

【 0 0 3 7 】

請求項 8 記載の無線送信装置は、請求項 6 記載の無線送信装置の構成に加えて、フィルタ素子は、基板上に設けられ、高調波処理回路の出力から第 1 の伝送線路に至る信号線路上の第 1 のノードと接地との間に配置される第 1 のキャパシタと、基板の外に設けられ、信号線路のうち第 1 のノードから第 1 の伝送線路に至る信号線路上に配置されるインダクタと、基板の外に設けられ、信号線路上であって、かつインダクタの出力側の第 2 のノードと接地との間に配置される第 2 のキャパシタとを備える。

【 0 0 3 8 】

請求項 9 記載の無線送信装置は、請求項 6 記載の無線送信装置の構成に加えて、フィルタ素子は、基板上に設けられ、高調波処理回路の出力から第 1 の伝送線路に至る信号線路上の第 1 のノードと接地との間に配置される第 1 のキャパシタと、基板の外に設けられ、信号線路のうち第 1 のノードから第 1 の伝送線路に至る信号線路上に配置される第 2 の伝送線路と、基板の外に設けられ、信号線路上であって、かつ第 2 の伝送線路の出力側の第 2 のノードと接地との間に配置される第 2 のキャパシタとを備える。

【 0 0 3 9 】

請求項 1 0 記載の無線送信装置は、請求項 6 から 9 のいずれか 1 項に記載の無線送信装置の構成に加えて、非可逆回路素子の出力インピーダンスは、実質的に 5 0 オームであって、非可逆回路素子の入力インピーダンスは、実質的に 3 オーム～3 0 オームの範囲である。

【0040】

請求項11記載の無線送信装置は、請求項6記載の無線送信装置の構成に加えて、基板には、基板の表面側から接地電極と接続するための第1および第2のビアホールが形成され、基板の背面に設けられる接地電極をさらに備え、フィルタ素子は、基板表面上に設けられ、高調波処理回路の出力から非可逆回路素子に至る第1の信号線路と、第1の信号線路上に配置されるインダクタと、第1の信号線路上であって、インダクタの入力側の第1のノードから、第1のビアホールを介して接地電極に至る第2の信号線路と、基板表面上の第2の信号線路中に設けられる第1のキャパシタと、第1の信号線路上であって、インダクタの出力側の第2のノードから、第2のビアホールを介して接地電極に至る第3の信号線路と、基板表面上の第3の信号線路中に設けられる第2のキャパシタとを備える。

【0041】

請求項12記載の無線送信装置は、請求項6から11のいずれか1項に記載の無線送信装置の構成に加えて、増幅素子の増幅する基本波の周波数を f_0 とし、所定の周波数を f_c とすると、所定の周波数 f_c は、 $f_0 < f_c < 2f_0$ なる関係を満たす。

【0042】

【発明の実施の形態】

以下、本発明の実施の形態を図面を用いて説明する。なお、図中同一または相当部分には同一符号を付しその説明は省略する。

【0043】

図1は、図15に示した従来例の問題点を解決するための無線送信装置1000の構成を説明するための概略ブロック図である。

【0044】

特に限定されないが、以下の説明では、無線送信装置1000は、マイクロ波帯以上の高周波信号を送信するものとする。

【0045】

図1を参照して、無線送信装置1000は、高周波増幅器101と、高効率増幅器101および非可逆回路素子103の間を接続するための低インピーダンス

伝送線路102と、非可逆回路素子103とを備える。

【0046】

パワーアンプモジュール100内にアセンブリされる高効率増幅器101は、入力整合回路104と、1段目アンプ105と、段間整合回路106と、2段目アンプ107と、出力整合回路108とを備える。出力整合回路108は、高調波処理回路109と、基本波調整回路110とを含む。

【0047】

なお、図1においては、高効率増幅器が2段アンプの場合を示しているが、必要な利得によって段数は増減するものである。

【0048】

非可逆回路素子103は、入力整合回路111と、アイソレータ本体112とを備える。

【0049】

高効率増幅器101は、入力インピーダンスが実質的に標準値である50Ωを満たし、出力インピーダンスが標準値である50Ωより低い値、たとえば、3〜30Ωである。非可逆回路素子103は、入力インピーダンスが標準値である50Ωより低く、出力インピーダンスが実質的に標準値である50Ωを満たす。したがって、以下では、非可逆回路素子103を「低インピーダンスアイソレータ103」と呼ぶことにする。

【0050】

従来例と同様に、移動体通信機などではアンテナの状態にかかわらず増幅器を効率よく動作させるために、アンテナと高効率増幅器101との間に低インピーダンスアイソレータ103が設けられる構成となっている。

【0051】

入力端末10から入力した信号は高効率増幅器101で増幅され、増幅された信号は伝送線路102および低インピーダンスアイソレータ103を通して出力端子40に与えられる。出力端子40の出力は、最終的にはアンテナ（図示せず）に与えられる。

【0052】

出力端子40以降で反射した反射波は、低インピーダンスアイソレータ103で遮断されるため、高効率増幅器101の出力側に反射波が戻ってくることはない。このため、高効率増幅器101は、高効率動作を保ったまま安定動作を行なうことが可能となる。

【0053】

次に、基本波調整回路110について説明する。

上述のとおり、たとえば低インピーダンスアイソレータ103の出力インピーダンスは、標準的な50Ωであるものの、その入力インピーダンスは3〜30Ω程度である。これによって、高効率増幅器101の出力整合回路108における基本波調整回路110において、大きくインピーダンスを変換することが不要となる。

【0054】

言いかえると、非可逆回路素子103の入力インピーダンスが、通常の標準値の50Ωであって上述したような3〜30Ωでない場合は、基本波調整回路110中のインピーダンス変換回路によって、高効率増幅器101の出力インピーダンスを、たとえば1〜10Ωから、通常の伝送線路の特性インピーダンス50Ωに変換することが必要となる。

【0055】

ところが、図1に示した構成では、このようなインピーダンス変換回路が不要となるために、ここで発生する損失がなくなり、その結果、消費電流が低減されて高効率動作を可能とする。

【0056】

その一方で、低インピーダンスアイソレータ103の入力インピーダンスのばらつきや、低インピーダンス高効率増幅器101と低インピーダンスアイソレータ103とを接続する伝送線路の特性インピーダンス等のばらつきにより不整合が発生する場合がある。このため、実施の形態1の無線送信装置1000においては、2段目アンプ107の出力インピーダンス1〜10Ωを50Ωに変換するための基本波整合回路114に代わり、基本波に対するインピーダンスの微調整を行なう基本波調整回路110を配置する。

【0057】

図2は、基本波調整回路110の一例を示す回路図である。

図2に示される基本波調整回路110は、入力端子と出力端子との間に接続されるインダクタL10と出力端子と接地電位を受ける接地ノードGNDとの間に接続されるキャパシタC10とで構成される。インダクタL10とキャパシタC10とは、ローパスフィルタを構成する。

【0058】

基本波調整回路110でのインピーダンス変換量は数 Ω 程度であり、従来の基本波整合回路114のインピーダンス変換量より小さい。したがって、基本波調整回路110の電力損失は、図15に示した従来例の基本波整合回路114に比べて小さい。

【0059】

なお、微調整が不要な場合には、基本波調整回路110を配置しないことも可能である。

【0060】

次に、高調波処理回路109について説明する。

図1に示した構成では、高調波漏洩電力を除去するために、LC共振回路で構成され、高調波を除去するための高調波処理回路109が、2段目アンプの出力と基本波調整回路110との間に設けられている。

【0061】

出力整合回路108中の高調波処理回路109は、高調波に対する整合をとるための回路であって、たとえば、高調波のインピーダンスを整合するための回路構成、高調波漏洩電力を抑制するための回路構成等を有する。なお、高調波のインピーダンス整合に関しては、高次高調波（偶数波または奇数波）に対してインピーダンスが十分に小さい短絡負荷になるように構成する場合や、高次高調波に対してインピーダンスが十分に大きい開放負荷になるように構成する場合等がある。高調波処理回路109は、後述するような共振回路で構成される。

【0062】

ここで、高調波処理回路109を2段目アンプ（最終段のアンプ）107と低

インピーダンスアイソレータ103との間に設ける理由について説明する。高調波処理回路109をアイソレータの出力側に接続した場合と高調波処理回路をアイソレータの入力側に接続した場合（第1の実施の形態の構成）とを比較する。高調波処理回路109をアイソレータの出力側に接続した場合、接続部分の特性インピーダンスが50Ωであるため、第1の実施の形態、すなわち特性インピーダンスが低い場合と比較すると高調波漏洩電力は小さくなる。しかしながら、高調波処理回路をアイソレータの出力側に接続した場合、2段目アンプ107から見た高調波の反射率は小さく、2段目アンプ107の高調波処理による効率向上は得られない。

【0063】

これに対し、第1の実施の形態によれば、高調波処理回路109を2段目アンプ107と低インピーダンスアイソレータ103との間に接続することにより、2段目アンプ107の高調波処理による効率向上および高調波漏洩電力の低減の2つを同時に実現することが可能になる。

【0064】

図3は、高調波処理回路109の一例を示す概略ブロック図である。図3に示される高調波処理回路109は、2段目アンプ107と高調波調整回路110との間に順次接続される、第3次高調波整合回路219と、第2次高調波整合回路220とを備える。

【0065】

たとえば、第2次高調波整合回路220は、偶数次高調波に対してインピーダンスが十分に大きい開放負荷をなし、第3次高調波整合回路219は、奇数次高調波に対してインピーダンスが十分に小さい短絡負荷をなすように構成する。このような構成により、2段目アンプの効率が向上し消費電流を削減することができる。

【0066】

図4は、高調波処理回路109のより具体的な構成を示す図である。

図4を参照して、3次高調波整合回路219は、ドレインバイアス線路311、信号線路312およびキャパシタ313を備え、2次高調波整合回路220は

、信号線路314、315およびキャパシタ316を備える。2段目アンプ107に含まれるFET302のドレインは信号線路312に接続され、ソースは接地されている。

【0067】

信号線路312は、ドレインバイアス線路311を介してバイアス電圧を供給するドレインバイアス端子325と接続する。キャパシタ313は、ドレインバイアス端子325と接地電位との間に接続する。信号線路312と317とを結合する信号線路314と接地電位との間に信号線路315とキャパシタ316とを接続する。キャパシタ319は、信号線路317と出力端子20との間に接続し、信号線路318とキャパシタ320とは、出力端子20と接地電位との間に接続する。

【0068】

これらの信号線路は、等価的には、インダクタンスにより表現される。

インダクタとキャパシタとを備える共振回路である高調波処理回路の具体的な構成としては、チップコンデンサと基板上に設けられるインダクタ素子とにより構成してもよいし、チップコンデンサ (Chip Capacitor) およびマイクロストリップ線路 (Microstrip Transmission Line) や、チップコンデンサおよび基板上に設けるバイアホール (Interstitial Via Hole) 等のように容量素子と寄生インダクタとで構成してもよい。

【0069】

なお、図4では、高調波除去回路を2個配置したが、これに限定されるものではなく、3以上の複数個を配置してもよい。

【0070】

また、高調波処理する周波数が1つの場合について説明を行ったが、これに限定されるものではなく、複数の周波数について高調波処理をするものであってもよい。

【0071】

[無線送信装置1000の問題点]

図1に示したような構成によって、高効率動作を可能とすることができるもの

の、逆にいえば、高調波処理回路109は、除去を必要とする高調波の数だけ、高調波除去のためのLC共振回路を用意する必要がある。

【0072】

たとえば、2次高調波から4次高調波までを除去する場合、LC共振回路の各々をチップインダクタとチップコンデンサという2つの部品で構成するとすると、 $3 \times 2 = 6$ 個のチップ部品が必要となる。このため、高効率増幅器の小型化が困難になるという問題点がある。

【0073】

〔実施の形態1〕

図5は、図1に示したパワーアンプモジュール100で説明したような高効率増幅器の小型化が困難であるという問題点を解決するための構成であって、本発明の実施の形態1の無線送信装置2000の構成を説明するための概略ブロック図である。

【0074】

図1に示した無線送信装置1000の構成と異なる点は、出力整合回路108の代わりに出力整合回路108'が設けられる構成となっていることである。

【0075】

すなわち、図5において、高効率増幅器101の出力整合回路108'は、高調波処理回路109とローパスフィルタ1とを含む。言いかえると、実施の形態1の高効率増幅器101の構成では、ローパスフィルタ1は、2段目アンプ107の出力に接続されている高調波処理回路109の直後に接続される構成となっている。

【0076】

図1に示した構成では、高調波の漏洩電力を低減するために、高調波処理回路109内に、複数個のLC共振回路で構成される高調波除去回路を備える必要がある。

【0077】

これに対して、図5に示した本発明の実施の形態1の高効率増幅器101においては、ローパスフィルタ回路1を1つ設けるだけで、高調波成分のすべてを除

去することが可能となるため、回路の小型化が可能である。

【0078】

また、ローパスフィルタ回路1として、キャパシタC1およびC2、インダクタL1からなる、いわゆるC-L-Cの π 型フィルタを用いることによって、ローパスフィルタ回路1でのインピーダンス変換量を小さくできるので、高周波増幅器101の効率を上昇させることが可能となる。

【0079】

また、図5に示した構成では、2段目アンプの出力に接続されている高調波処理回路109の直後にローパスフィルタ1を接続する構成としているため、図16に示した従来例の場合のように、高効率増幅器101からアイソレータ側を見た場合に、動作周波数帯域内のインピーダンスの変化量が、伝送路102のインダクタンスために大きくなるということもない。したがって、高効率増幅器101の効率、歪み等の特性を劣化させることがなく、高効率で低歪みな高周波増幅器を構成することが可能となる。

【0080】

上述したローパスフィルタ1のカットオフ周波数 f_c は、2倍波以上の高調波を除去する場合は、 $f_0 < f_c < 2f_0$ とすればよい。ここで f_0 は基本波の周波数である。

【0081】

〔実施の形態2〕

図6は、本発明の実施の形態2の高周波増幅器101およびそれを用いた無線送信装置3000の構成を示す概略ブロック図である。

【0082】

図6に示した無線送信装置3000では、実施の形態1に示したローパスフィルタ1内の構成要素のうち高調波処理回路109側のコンデンサC1のみを高効率増幅器101を構成する基板内に配置する。実施の形態1のインダクタンスL1とキャパシタンスC2は、パワーアンプモジュール100の出力端子20とアイソレータ103との間の信号経路に配置する。特に限定はされないが、インダクタンスL1とキャパシタンスC2は、チップインダクタとチップコンデンサに

より実現される。

【0083】

上述したとおり、高効率増幅器101をアセンブリする際には、樹脂またはセラミック等の絶縁体の基板上にチップ部品を配置することになる。図7は、高効率増幅器101を基板4上にアセンブリした場合の構成を上部から俯瞰した概念図である。ここで、高効率増幅器101は、表面実装部品である。

【0084】

図6および図7に示したような構成では、高効率増幅器101を構成する部品の個数によって、高効率増幅器101の面積、ひいては基板面積4が決定される。ここで、高効率増幅器101を形成する基板4の面積が大きいことはコストの増加を招く。

【0085】

したがって、基板面積を縮小し、コストを低減するためには高効率増幅器101を構成する部品数を少なくすることが必要である。

【0086】

図6に示した無線送信装置3000の構成では、図5に示した実施の形態1の場合と比較して、高効率増幅器101に搭載される部品数を、少なくとも2個、すなわち、チップコンデンサとチップインダクタとを削減することが可能となり、高効率増幅器を小型化することができる。したがって、高効率増幅器101用の基板4の面積を小さくでき、コストを低減することが可能となる。

【0087】

ここでも、上述したローパスフィルタ1のカットオフ周波数 f_c は、2倍波以上の高調波を除去する場合は、 $f_0 < f_c < 2f_0$ とすればよい。

【0088】

また、ローパスフィルタ1のアイソレータ側のチップコンデンサとアイソレータの入力端子との距離を近づけることによって、高調波漏洩電力を抑制することも可能となる。

【0089】

[実施の形態3]

図8は、本発明の実施の形態3の高調波増幅器101およびそれを用いた無線送信装置4000の構成を示す概略ブロック図である。

【0090】

実施の形態3の無線送信装置4000の構成では、実施の形態2の構成に比べて、ローパスフィルタ1を構成するインダクタを、実施の形態2のチップインダクタの代わりに、高効率増幅器101とアイソレータ103側のコンデンサC2との間に存在する伝送線路102のインダクタンスLを用いる。このような構成によって、実施の形態2の無線送信装置と比べて、さらに、チップ部品の部品点数を減らすことができるため、無線送信装置の小型化、低コスト化を図ることが可能となる。

【0091】

ここでも、上述したローパスフィルタ1のカットオフ周波数 f_c は、2倍波以上の高調波を除去する場合は、 $f_0 < f_c < 2f_0$ とすればよい。

【0092】

〔実施の形態4〕

図9は、図5に示した実施の形態1の高効率増幅器101に用いられるローパスフィルタ1の構成を寄生インピーダンス成分を含めて示す回路図である。

【0093】

また、図10は、図9に示すローパスフィルタ1を基板上に形成する構成例を説明するための上面図であり、図11は、図10中のXI-XI'平面を示す断面図である。

【0094】

図9に示すように、実施の形態1のC-L-C π 型フィルタの2個のコンデンサC1およびC2は接地されている。

【0095】

この場合、接地の方法としては、図10および図11に示すように、基板表面側で、まずコンデンサC1およびC2の一方端を相互に接続し、基板に設けられたビアホールVHを用いて下層の接地配線BPに接続するという構成を用いることも可能である。

【0096】

しかしながら、この場合、図9に示す等価回路のとおり、コンデンサC1およびC2と直列に、基板表面のパターンに寄生するインダクタンス L_{p1} および L_{p2} がそれぞれ接続されることになる。

【0097】

さらに、基板表面の配線の寄生インダクタンス L_{p1} および L_{p2} の結合ノードと接地との間に直列にビアホール中の配線の寄生インダクタンス L_{vh} が接続されることになる。

【0098】

このため、この寄生インダクタンス L_{vh} によって、このローパスフィルタでの損失が増加してしまう。

【0099】

そこで、実施の形態4では、図5に示した実施の形態1の高効率増幅器101に用いられるローパスフィルタ1を、図9～図11に示した構成に代えて、以下に説明する構成とする。

【0100】

図12は、本発明の実施の形態4の高効率増幅器101に用いられるローパスフィルタ1の構成を寄生インピーダンス成分を含めて示す回路図である。

【0101】

また、図13は、図12に示すローパスフィルタ1を基板上に形成する構成例を説明するための上面図であり、図14は、図13中のXIV-XIV'平面を示す断面図である。

【0102】

図12～図14に示した実施の形態4のC-L-C π 型フィルタでは、2つのコンデンサC1およびC2の各々の一方端を基板に生成されたビアホール内の金属配線を用いて基板裏面側の接地面BPに接続する構成としている。

【0103】

したがって、ローパスフィルタ101の容量C1またはC2の1つ当りの寄生インダクタンス成分 L_{p1}' および L_{p2}' を図9～図11の構成に比べて低減

することができ、ひいては２段目アンプの出力を小さくしても、所望の出力電力を得ることができる。

【 0 1 0 4 】

これは、言い換えると、２段目アンプの出力値をその動作点としてより小さな値で動作させても、所望の出力電力が得られることになり、高効率化および低歪み化には有利となる。

【 0 1 0 5 】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【 0 1 0 6 】

【発明の効果】

請求項１～２および４～５記載の高周波増幅器は、高調波処理回路の出力側にローパスフィルタとして動作するフィルタ素子を設けて、高調波の除去を行なうので、高調波除去のために必要な素子数を削減可能で、回路規模の増大を抑制しつつ、特性劣化を防止して、消費電流の低い高効率な高周波の増幅を行なうことができる。

【 0 1 0 7 】

請求項３記載の高周波増幅器は、高周波増幅器から非可逆回路素子までを低インピーダンスな伝送線路で接続できるので、特性劣化を防止して、消費電流の低い高効率な高周波の増幅を行なうことができる。

【 0 1 0 8 】

請求項６～１２記載の無線送信装置は、高調波処理回路の出力側にローパスフィルタとして動作するフィルタ素子を設けて高調波の除去を行なうので、高調波除去のために必要な素子数を削減可能で、回路規模の増大を抑制しつつ、特性劣化を防止して、消費電流の低い高効率な高周波の増幅を行なうことができる。

【図面の簡単な説明】

【図１】 無線送信装置１０００の構成を説明するための概略ブロック図で

ある。

【図 2】 基本波調整回路 1 1 0 の一例を示す回路図である。

【図 3】 高調波処理回路 1 0 9 の一例を示す概略ブロック図である。

【図 4】 高調波処理回路 1 0 9 のより具体的な構成を示す図である。

【図 5】 本発明の実施の形態 1 の無線送信装置 2 0 0 0 の構成を説明するための概略ブロック図である。

【図 6】 本発明の実施の形態 2 の高周波増幅器 1 0 1 およびそれを用いた無線送信装置 3 0 0 0 の構成を示す概略ブロック図である。

【図 7】 高効率増幅器 1 0 1 を基板 4 上にアセンブリした場合の構成を上部から俯瞰した概念図である。

【図 8】 本発明の実施の形態 3 の高調波増幅器 1 0 1 およびそれを用いた無線送信装置 4 0 0 0 の構成を示す概略ブロック図である。

【図 9】 図 5 に示した実施の形態 1 の高効率増幅器 1 0 1 に用いられるローパスフィルタ 1 の構成を寄生インピーダンス成分を含めて示す回路図である。

【図 1 0】 図 9 に示すローパスフィルタ 1 を基板上に形成する構成例を説明するための上面図である。

【図 1 1】 図 1 0 中の X I - X I ' 平面を示す断面図である。

【図 1 2】 本発明の実施の形態 4 の高効率増幅器 1 0 1 に用いられるローパスフィルタ 1 の構成を寄生インピーダンス成分を含めて示す回路図である。

【図 1 3】 図 1 2 に示すローパスフィルタ 1 を基板上に形成する構成例を説明するための上面図である。

【図 1 4】 図 1 3 中の X I V - X I V ' 平面を示す断面図である。

【図 1 5】 従来の携帯端末機に用いられる無線送信部 9 0 0 0 の構成を説明するための概略ブロック図である。

【図 1 6】 低インピーダンスアイソレータを用いた無線送信部 9 2 0 0 の構成例を示すブロック図である。

【符号の説明】

1 0 0 パワーアンプモジュール、1 0 1 高周波増幅器、1 0 2 低インピーダンス伝送線路、1 0 3 非可逆回路素子、1 0 4 入力整合回路、1 0 5

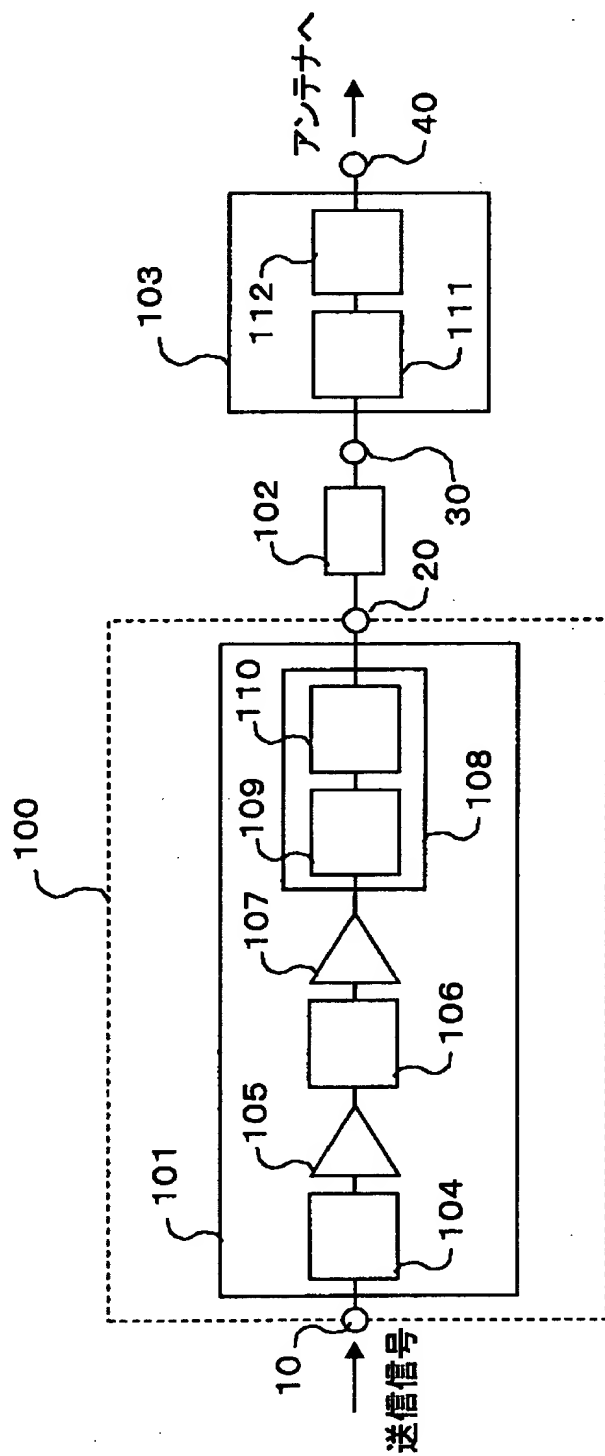
1 段目アンプ、106 段間整合回路、107 2 段目アンプ、108, 108
出力整合回路、109 高調波処理回路、110 基本波調整回路、111
入力整合回路、112 アイソレータ、1000, 2000, 3000, 40
00, 9000, 9200 無線送信装置。

【書類名】

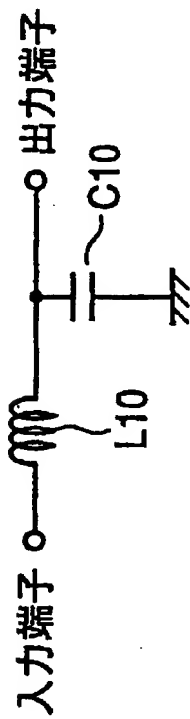
図面

【図 1】

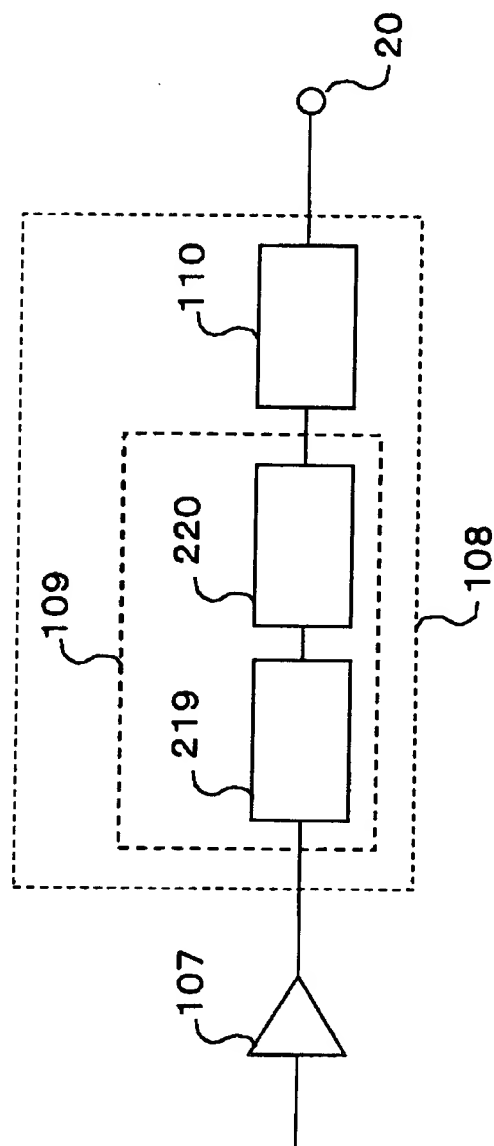
1000



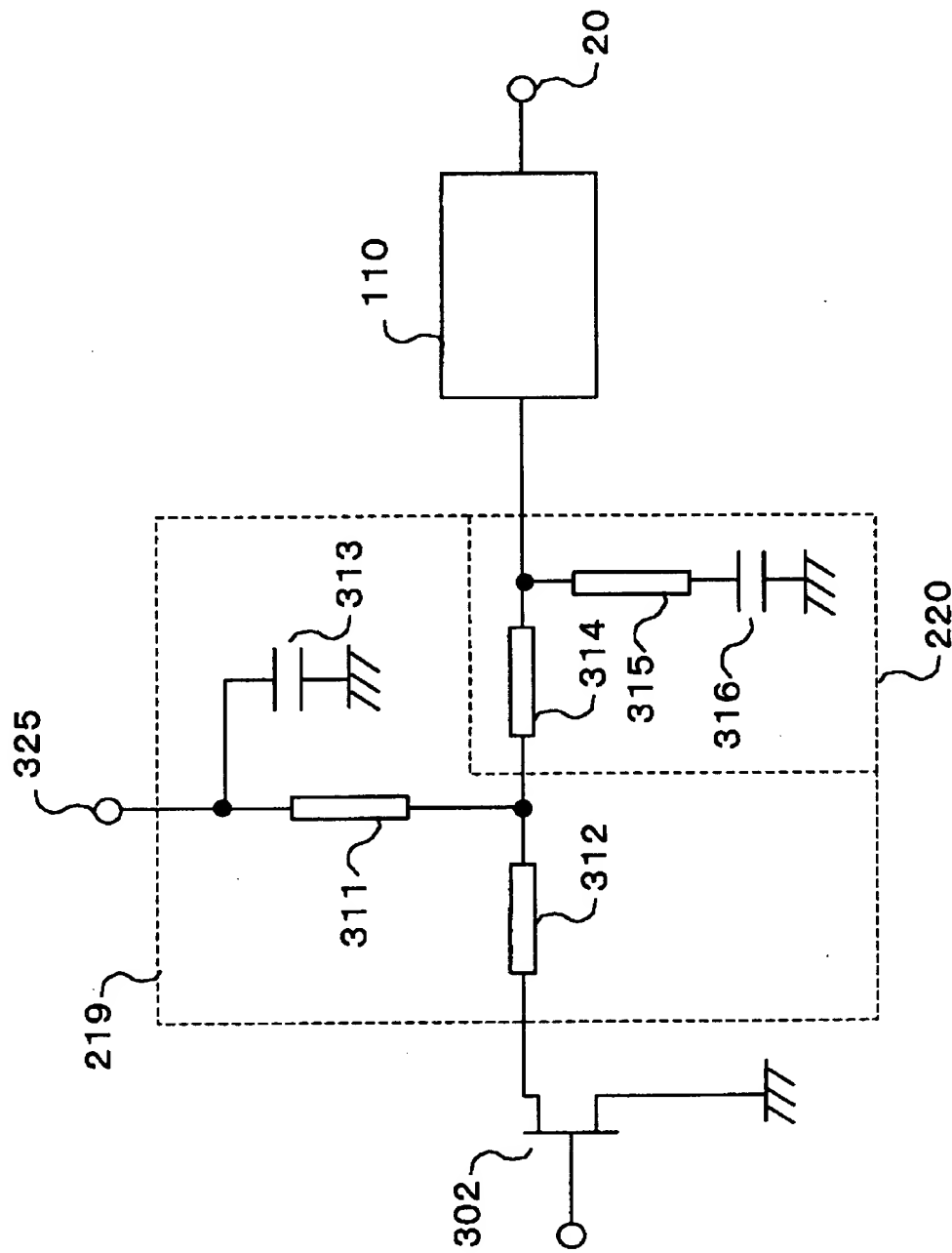
【図 2】



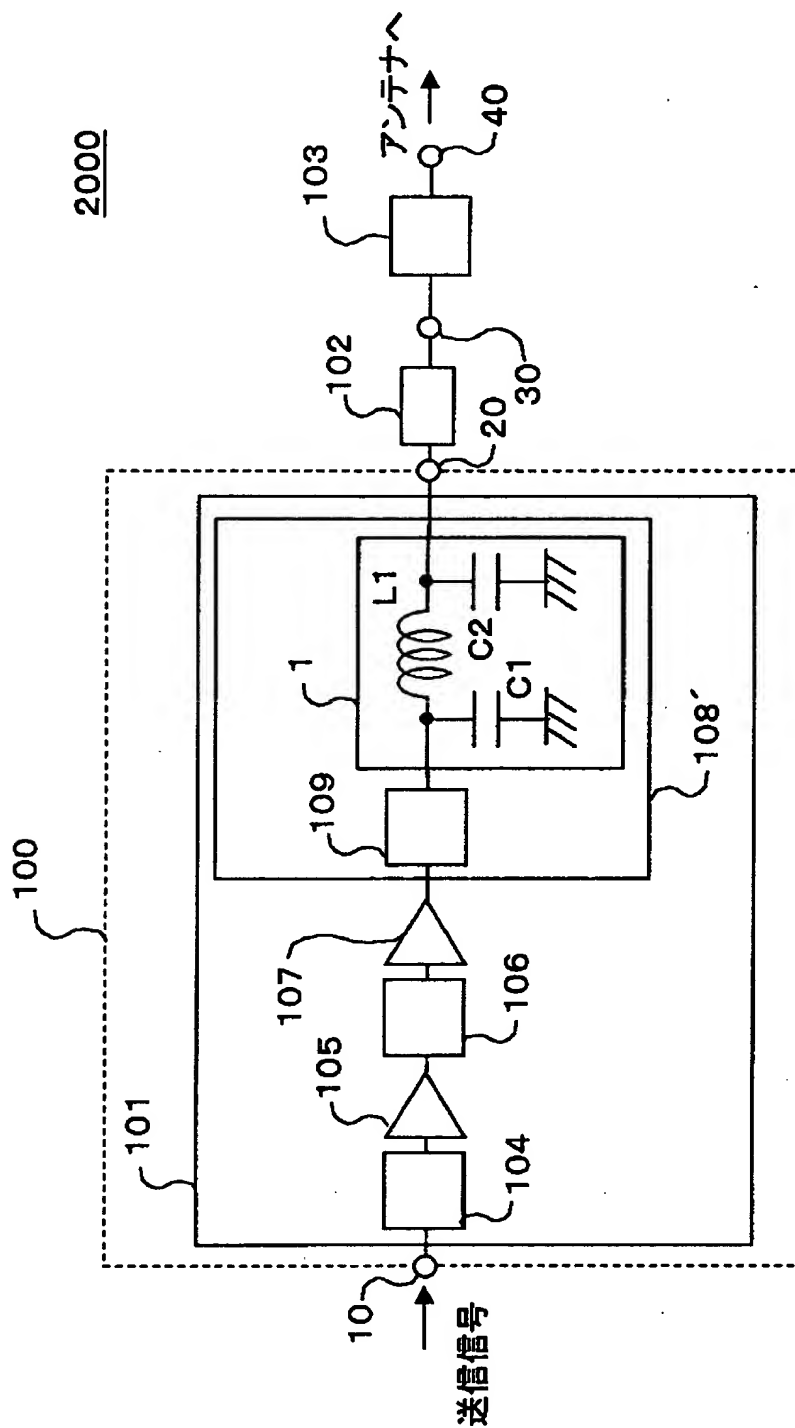
【図 3】



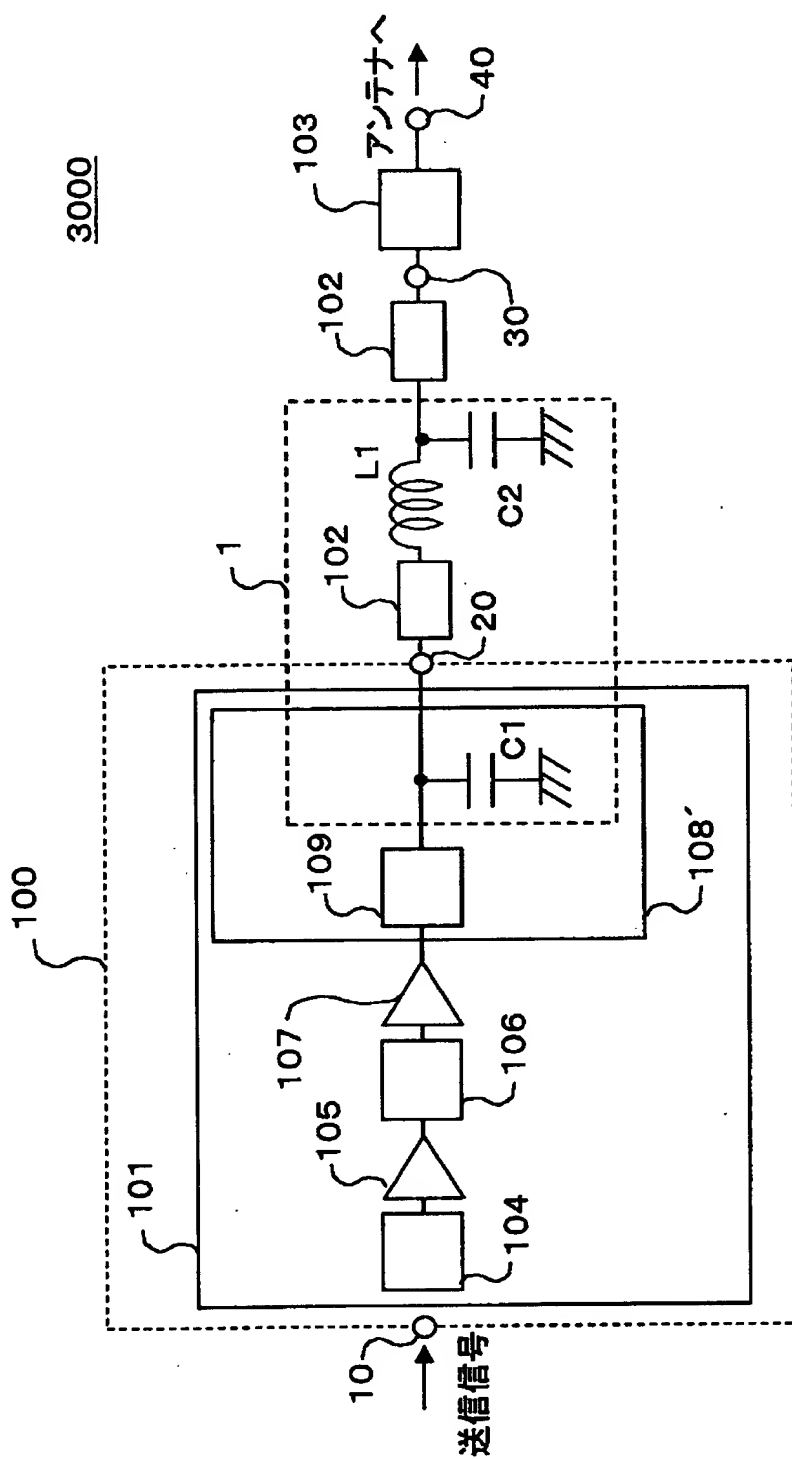
【図 4】



【図 5】

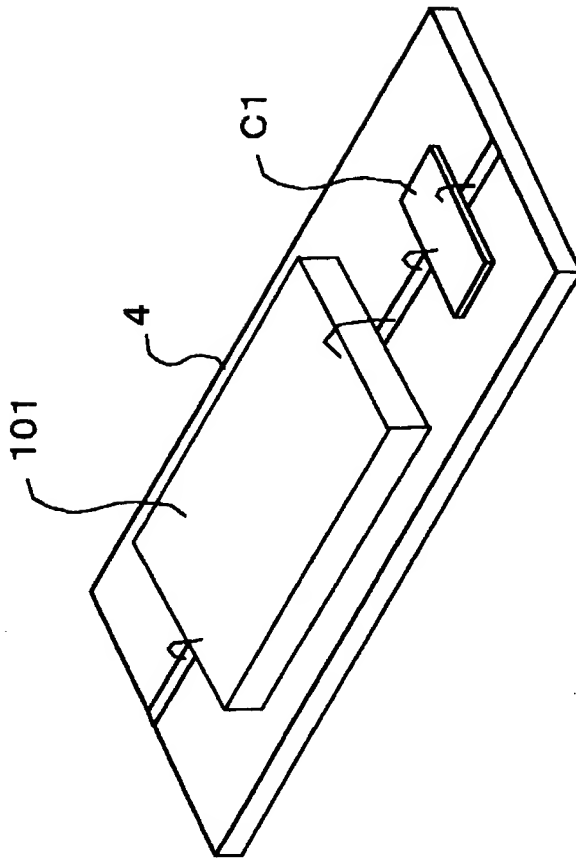


【図 6】

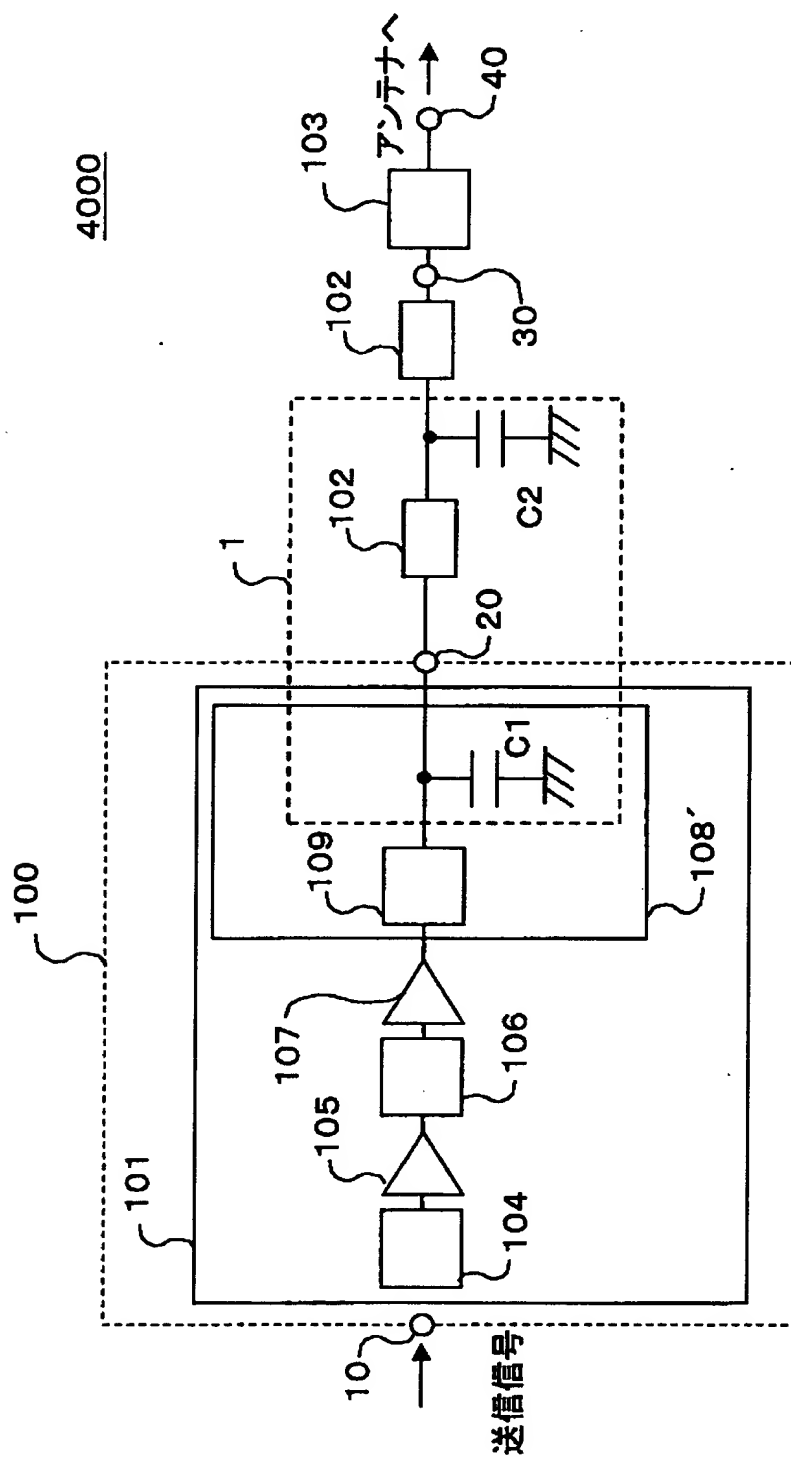


3000

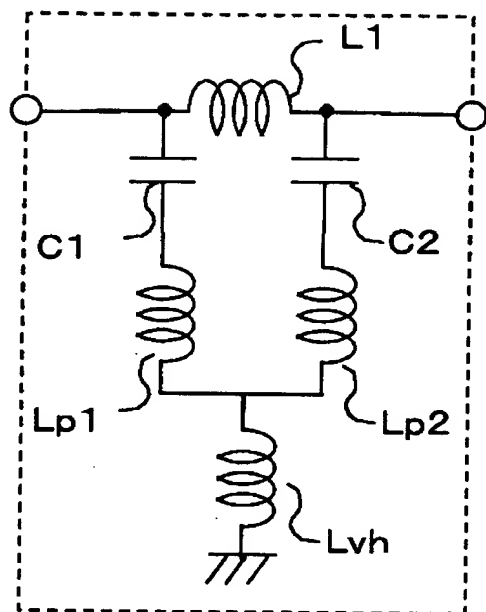
【図7】



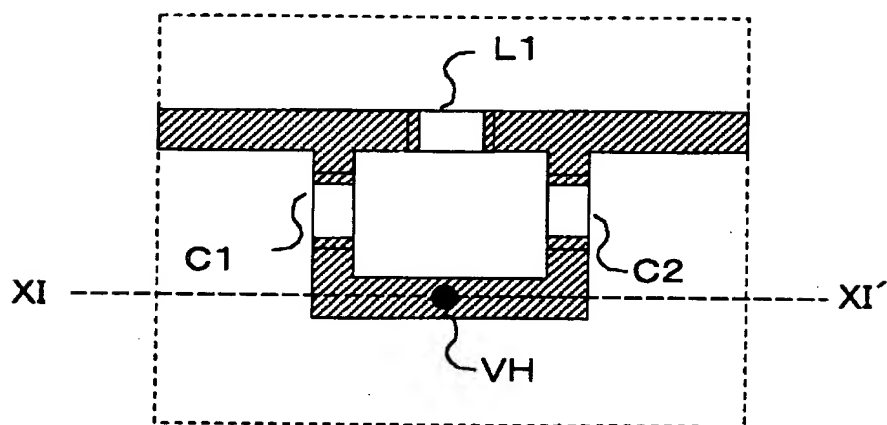
【図 8】



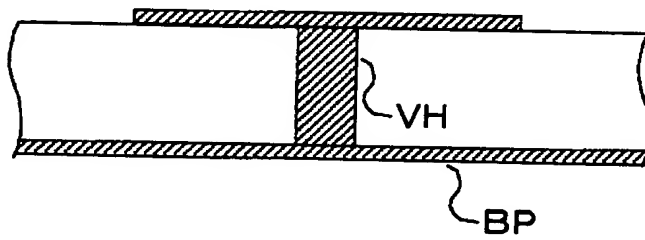
【図 9】



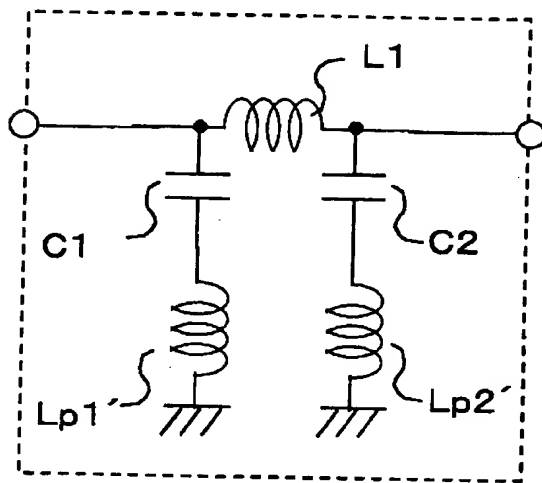
【図 10】



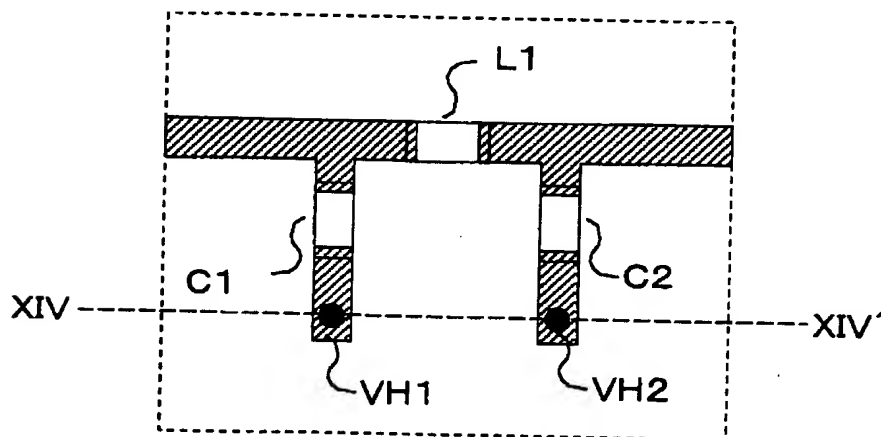
【図 11】



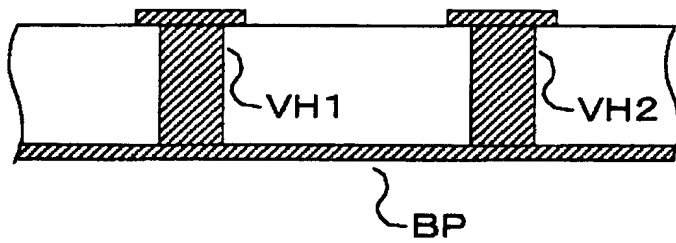
【図 12】



【図 13】

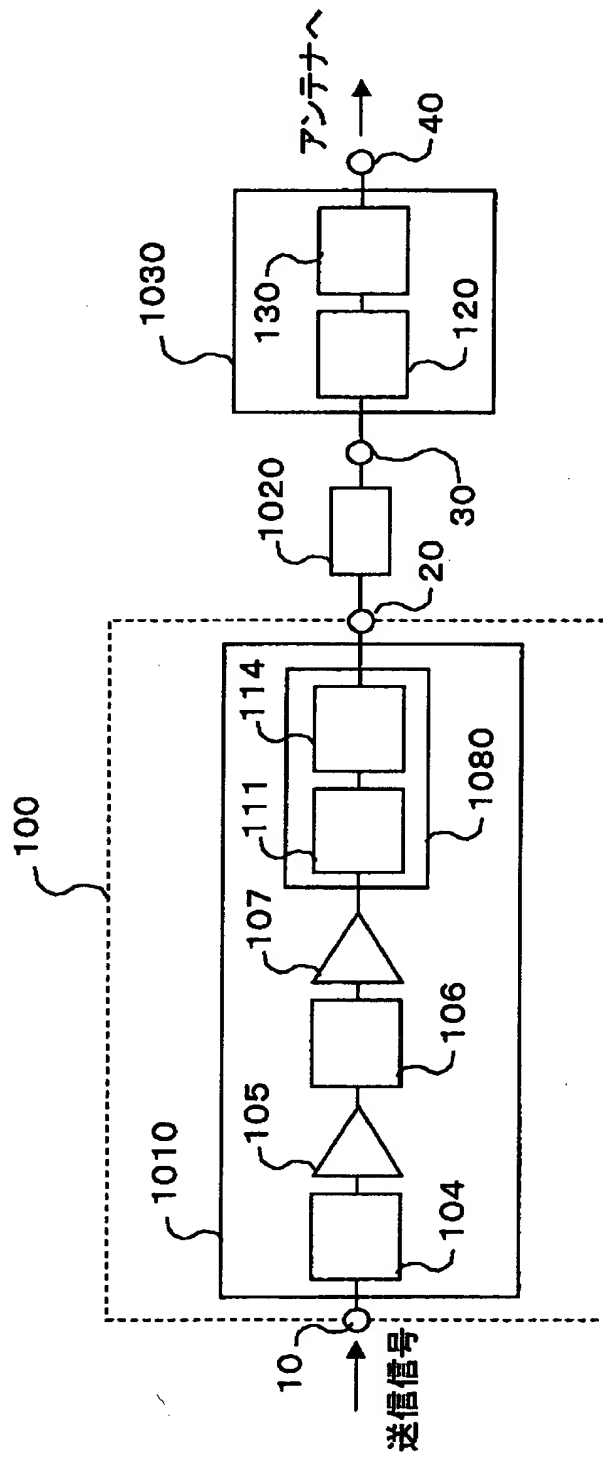


【図14】

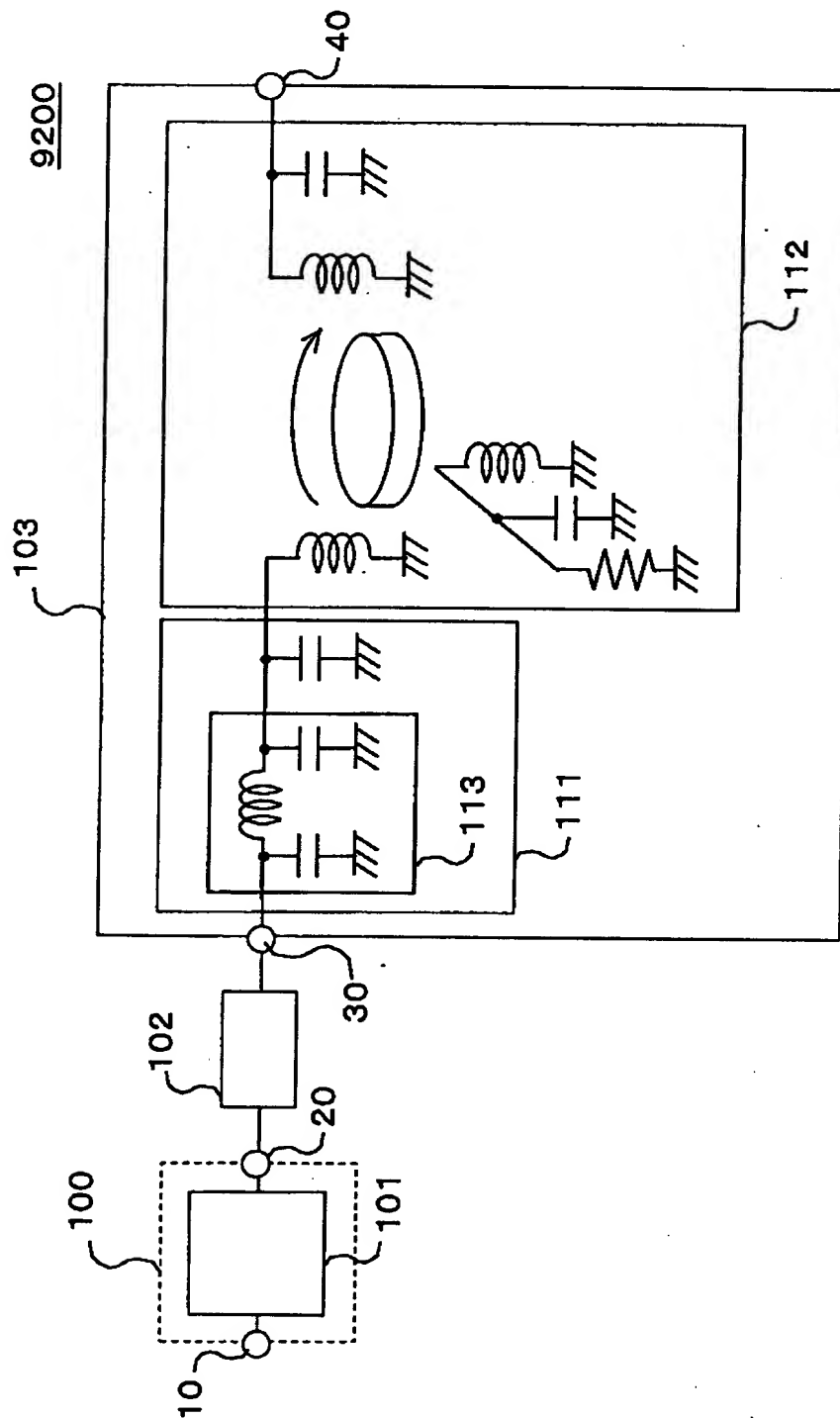


【図 15】

9000



【図 16】



【書類名】 要約書

【要約】

【課題】 回路規模の増大を抑制しつつ、特性劣化を防止して、消費電流の低い高効率な高周波増幅器およびこれを用いた無線送信装置を提供する。

【解決手段】 パワーアンプモジュール100内の高周波増幅器101は、それが形成される基板上に、入力信号を受けて増幅するための第1段目および第2段目のアンプ105および107と、2段目アンプ107の出力信号に含まれる高調波に対する整合をとるための高調波処理回路109と、高調波処理回路109の出力を受けて、非可逆回路素子103に与えるための信号を所定の周波数をカットオフ周波数として選択的に透過させるローパスフィルタ108'とを備える。

【選択図】 図5

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社